

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349166

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 21/8234

H01L 27/06

H01L 27/04

H01L 21/822

H01L 21/8238

H01L 27/092

(21)Application number : 2000-135507

(71)Applicant : YAMAHA CORP

(22)Date of filing : 29.03.1996

(72)Inventor : TAKAHASHI TOSHIYUKI

SUGA SHIGERU

MAKINO TOHACHI

(30)Priority

Priority number : 95 414761

Priority date : 31.03.1995

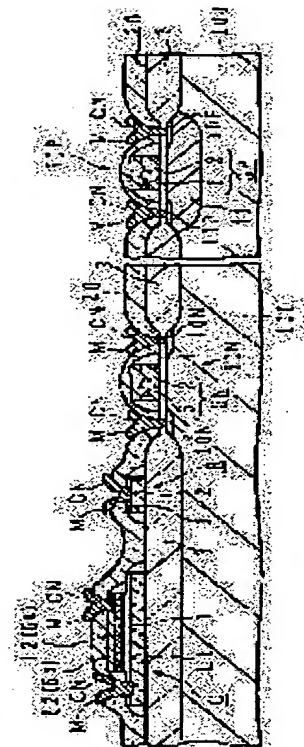
Priority country : US

(54) SEMICONDUCTOR DEVICE WITH CAPACITOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device equipped with a MOSFET and a capacitive element without excessively complicating manufacturing processes, increasing a manufacturing cost, and deteriorating the MOSFET and the capacitive element in electrical properties.

SOLUTION: A gate insulating film is formed on the surface of a semiconductor substrate 100. A capacitive element where a first electrode layer, a dielectric layer, a second electrode layer, and a third electrode layer of metal or metal silicide are laminated in this sequence is formed in a certain region of the surface of the semiconductor substrate 100. The first and second electrode layer are formed of the same material. A gate electrode of laminated structure composed of a first gate layer deposited at the same time with the first electrode layer and second gate layer deposited at the same time with the third electrode layer is formed in a region of a gate insulating film. An interlayer insulating film is formed on the semiconductor substrate 100 so as to cover the capacitive element and the gate electrode, and a wiring is provided thereon.



LEGAL STATUS

[Date of request for examination] 05.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3431010

[Date of registration] 23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semi-conductor substrate and the gate dielectric film formed on the front face of said semi-conductor substrate, The 1st electrode layer which is formed in some fields on the front face of said semi-conductor substrate, and consists of the 1st ingredient, The capacitive element by which the laminating of the 3rd electrode layer which consists of a dielectric layer, the 2nd electrode layer which consists of said 1st ingredient and a metal, or metal silicide was carried out to this sequence, The gate electrode which is formed in some fields on said gate dielectric film, and has the laminated structure of the 1st [said] electrode layer, the 1st gate layer deposited on coincidence, and the 3rd [said] electrode layer and the 2nd gate layer deposited on coincidence, The interlayer insulation film formed on said semi-conductor substrate so that said capacitive element and a gate electrode might be covered, The semiconductor device which has the contact hole which penetrates said interlayer insulation film and uses a part of top face of said 3rd electrode layer as a base, and wiring which was formed on said interlayer insulation film and was electrically connected to said 3rd electrode layer through the inside of said contact hole.

[Claim 2] In the manufacture approach of the semiconductor device containing the capacitive element by which the laminating of MOSFET formed on the front face of a semi-conductor substrate and a lower electrode, an insulator layer, and the up electrode was carried out to this sequence, and they were formed on said semi-conductor substrate The process which forms gate oxide on the front face of a semi-conductor substrate, and the process which forms the 1st conductive layer which consists of the 1st ingredient on said gate oxide, The process which forms a dielectric layer on said 1st conductive layer, and the process which forms the 2nd conductive layer which consists of said 1st ingredient on said dielectric layer, So that said the 2nd conductive layer and said dielectric layer may be etched partially and the process which leaves said the 2nd conductive layer and said dielectric layer to the field corresponding to the lower electrode of said capacitive element, said 2nd conductive layer and a dielectric layer, and the 1st conductive layer may be covered The process which forms the 3rd conductive layer which consists of a metal or metal silicide, The process which forms a wrap mask member for the field corresponding to the up electrode of said capacitive element, and the field corresponding to the gate electrode of said MOSFET on said 3rd conductive layer, While removing said 3rd and 2nd conductive layers of the field which uses said mask member as an etching mask, and is not covered by said mask member by using said dielectric layer as an etching halt layer So that the process which removes said 1st conductive layer of the field which is not covered by said dielectric layer or the mask member, the process which removes said mask member, said 1st left-behind conductive layer and a dielectric layer, the 2nd conductive layer, and the 3rd conductive layer may be covered The process which forms an interlayer insulation film on said semi-conductor substrate, and the process which forms the contact hole which said interlayer insulation film is penetrated [contact hole] and exposes said a part of 3rd electric conduction film, The process which forms wiring connected to said 3rd electric conduction film through the inside of said contact hole on said interlayer insulation film is included. The manufacture approach of the semiconductor device constituted by said dielectric layer said whose capacitive element was pinched between the lower electrode formed of said 1st conductive layer, the

up electrode formed of said 2nd and 3rd conductive layers, and this up electrode and a lower electrode. [Claim 3] In the manufacture approach of the semiconductor device containing the capacitive element by which the laminating of MOSFET formed on the front face of a semi-conductor substrate, a resistance element and a lower electrode, an insulator layer, and the up electrode was carried out to this sequence, and they were formed on said semi-conductor substrate. The process which forms gate oxide on the front face of a semi-conductor substrate, and the process which forms the 1st conductive layer which consists of the 1st ingredient on said gate oxide, The process which forms a dielectric layer on said 1st conductive layer, and the process which forms the 2nd conductive layer which consists of said 1st ingredient on said dielectric layer, The process which etches partially said the 2nd conductive layer and said dielectric layer, and leaves said the 2nd conductive layer and said dielectric layer to the field corresponding to the lower electrode of said capacitive element, and the field corresponding to said resistance element, The process which forms the 3rd conductive layer which consists of a metal or metal silicide so that said 2nd conductive layer, a dielectric layer, and the 1st conductive layer may be covered, The process which forms a wrap mask member for the field corresponding to the up electrode of said capacitive element, and the field corresponding to the gate electrode of said MOSFET on said 3rd conductive layer, While removing said 3rd and 2nd conductive layers of the field which uses said mask member as an etching mask, and is not covered by said mask member by using said dielectric layer as an etching halt layer So that the process which removes said 1st conductive layer of the field which is not covered by said dielectric layer or the mask member, said 1st left-behind conductive layer and a dielectric layer, the 2nd conductive layer, and the 3rd conductive layer may be covered. The process which forms an interlayer insulation film on said semi-conductor substrate, and the process which forms the contact hole which said interlayer insulation film is penetrated [contact hole] and exposes said a part of 3rd electric conduction film, The process which forms wiring connected to said 3rd electric conduction film through the inside of said contact hole on said interlayer insulation film is included. The lower electrode with which said capacitive element is formed of said 1st conductive layer, the up electrode formed of said 2nd and 3rd conductive layers, And the manufacture approach of a semiconductor device that it is constituted by said dielectric layer pinched between this up electrode and the lower electrode, and said resistance element is constituted by said 1st conductive layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which fitted the configuration of analog MOS IC equipment especially, and its manufacture approach about the semiconductor device containing a capacitor, and its manufacture approach.

[0002]

[Description of the Prior Art] The analog integrated circuit device which formed passive elements, such as active elements, such as MOSFET (field-effect transistor of metal-oxide film-semi-conductor structure), and a capacitive element, and a resistance element, on the semi-conductor substrate, and formed the metal circuit pattern which connects these components is known. When manufacturing this kind of analog integrated circuit device conventionally, the following approach was taken as an approach of forming a capacitive element and a resistance element on a semi-conductor substrate.

[0003] In case the gate electrode of <formation approach of capacitive element> approach 1: MOSFET is formed, the lower electrode of a capacitive element is formed using the polish recon or the polycide (laminating of polish recon and metal silicide) used as an ingredient (henceforth gate material) of a gate electrode. Next, it is a wrap about a lower electrode with a dielectric film. On a dielectric film, the up electrode by a polish recon layer etc. is formed so that a lower electrode may be countered.

[0004] Approach 2: It is the approach of using a semi-conductor substrate as a lower electrode. That is, after forming gate oxide or field oxide in a substrate front face, a gate material layer is deposited on an oxide film front face, selective etching is performed, and the up electrode of a capacitive element is formed in a gate electrode and coincidence.

[0005] Approach 3: It is the approach of using the interlayer insulation film in a multilayer interconnection. That is, the lower electrode of a capacitive element is formed with a gate electrode, and a wrap interlayer insulation film is formed for those upper parts. The up electrode by the metal layer or gate material is formed so that it may counter with a lower electrode on both sides of an interlayer insulation film. Moreover, in manufacturing an integrated circuit device using a two-layer wiring process, a lower electrode is formed using a lower layer metal wiring layer, and it forms an up electrode using the upper metal wiring layer so that it may counter on both sides of an interlayer insulation film.

[0006] The <formation approach of a resistance element> approach 4: In case the diffusion layer used as the source/drain of MOSFET is formed in a semi-conductor substrate front face, form the diffusion layer used as a resistance element.

[0007] Approach 5: In the case of a CMOS integrated circuit device, use a well layer as resistance.

[0008] Approach 6: Form a resistance element by carrying out patterning of the gate electrode layer.

[0009]

[Problem(s) to be Solved by the Invention] The above-mentioned approach has the following limit.

[0010] Approach 1: Since the insulator layer of the suitable thickness which is needed for a capacitive element is grown up and an up electrode is further formed on it after forming a gate electrode, there are many routing counters which should be added for capacitive element formation, and a manufacturing cost becomes high. Moreover, the electrical characteristics of MOSFET will change with heat treatments performed with the operation like such additional processing from a desired property.

[0011] Approach 2: Since a lower electrode is a semi-conductor substrate, the potential of a lower electrode is fixed to the potential of a substrate. Therefore, it is applicable only to an application which connects one electrode of a capacitive element to a power source or a grounding conductor. The thickness of gate oxide or field oxide is thick, and when the electrostatic capacity made into the purpose is large, the occupancy area of a capacitive element will become large.

[0012] Approach 3: When the thickness of an interlayer insulation film is not suitable, the occupancy area of a capacitive element will become large like the case where it is an approach 2. Moreover, since flattening processing is usually performed to an interlayer insulation film, thickness does not become homogeneity. Moreover, a design is not [that it is easy to be influenced of parasitic capacitance] easy unless it is cautious of wiring.

[0013] Approaches 4 and 5: Since it is what uses a diffusion layer as a resistance element, the big parasitic capacitance by which it is placed between the joints of a diffusion layer and a semi-conductor substrate is added to a resistance element. For this reason, actuation of the circuit which uses a resistance element as a component receives the bad influence of parasitic capacitance.

[0014] Approach 6: In today when the degree of integration of an integrated circuit device improved, in order to prevent increase of the gate resistance by compaction of gate length, a polycide is used as gate material in many cases. However, it is difficult to control the resistance of a polycide strictly.

[0015] The purpose of this invention is offering the semiconductor device containing each [these] component, without [without it causes complication of too much process, and increase of a manufacturing cost, and] sacrificing the electrical characteristics of MOSFET, a capacitive element, and a resistance element.

[0016]

[Means for Solving the Problem] The gate dielectric film which was formed on the front face of a semiconductor substrate and said semi-conductor substrate according to one viewpoint of this invention, The 1st electrode layer which is formed in some fields on the front face of said semi-conductor substrate, and consists of the 1st ingredient, The capacitive element by which the laminating of the 3rd electrode layer which consists of a dielectric layer, the 2nd electrode layer which consists of said 1st ingredient and a metal, or metal silicide was carried out to this sequence, The gate electrode which is formed in some fields on said gate dielectric film, and has the laminated structure of the 1st [said] electrode layer, the 1st gate layer deposited on coincidence, and the 3rd [said] electrode layer and the 2nd gate layer deposited on coincidence, The interlayer insulation film formed on said semi-conductor substrate so that said capacitive element and a gate electrode might be covered, Said interlayer insulation film is penetrated and the semiconductor device which has the contact hole which uses a part of top face of said 3rd electrode layer as a base, and wiring which was formed on said interlayer insulation film and was electrically connected to said 3rd electrode layer through the inside of said contact hole is offered.

[0017] In the manufacture approach of the semiconductor device containing the capacitive element by which according to other viewpoints of this invention the laminating of MOSFET formed on the front face of a semi-conductor substrate and a lower electrode, an insulator layer, and the up electrode was carried out to this sequence, and they were formed on said semi-conductor substrate The process which forms gate oxide on the front face of a semi-conductor substrate, and the process which forms the 1st conductive layer which consists of the 1st ingredient on said gate oxide, The process which forms a dielectric layer on said 1st conductive layer, and the process which forms the 2nd conductive layer which consists of said 1st ingredient on said dielectric layer, So that said the 2nd conductive layer and said dielectric layer may be etched partially and the process which leaves said the 2nd conductive layer and said dielectric layer to the field corresponding to the lower electrode of said capacitive element, said 2nd conductive layer and a dielectric layer, and the 1st conductive layer may be covered The process which forms the 3rd conductive layer which consists of a metal or metal silicide, The process which forms a wrap mask member for the field corresponding to the up electrode of said capacitive element, and the field corresponding to the gate electrode of said MOSFET on said 3rd conductive layer, While removing said 3rd and 2nd conductive layers of the field which uses said mask member as an etching mask, and is not covered by said mask member by using said dielectric layer as an etching halt layer So that the process which removes said 1st conductive layer of the field which is not covered by said dielectric layer or the mask member, the process which removes said mask member, said 1st left-behind conductive layer and a dielectric layer, the 2nd conductive layer, and the 3rd conductive layer may be covered The process which forms an interlayer insulation film on said semiconductor substrate, and the process which forms the contact hole which said interlayer insulation film is penetrated [contact hole] and exposes said a part of 3rd electric conduction film, The process which forms wiring connected to said 3rd electric conduction film through the inside of said contact hole on said interlayer insulation film is included. The manufacture approach of the semiconductor device constituted by said dielectric layer said whose capacitive element was pinched between the lower electrode formed of said 1st conductive layer, the up electrode formed of said 2nd and 3rd conductive layers, and this up electrode and a lower electrode is offered.

[0018] MOSFET which was formed on the front face of a semi-conductor substrate according to the viewpoint of further others of this invention, In the manufacture approach of the semiconductor device containing the capacitive element by which the laminating of a resistance element and a lower electrode, an insulator layer, and the up electrode was carried out to this sequence, and they were formed on said semi-conductor substrate The process which forms gate oxide on the front face of a semi-conductor substrate, and the process which forms the 1st conductive layer which consists of the 1st ingredient on said gate oxide, The process which forms a dielectric layer on said 1st conductive layer, and the process which forms the 2nd conductive layer which consists of said 1st ingredient on said dielectric layer, The process which etches partially said the 2nd conductive layer and said dielectric layer, and leaves said the 2nd conductive layer and said dielectric layer to the field corresponding to the lower electrode of said capacitive element, and the field corresponding to said resistance element, The process which forms the 3rd conductive layer which consists of a metal or metal silicide so that said 2nd conductive layer, a dielectric layer, and the 1st conductive layer may be covered, The process which forms a wrap mask member for the field corresponding to the up electrode of said capacitive element, and the field corresponding to the gate electrode of said MOSFET on said 3rd conductive layer, While removing said 3rd and 2nd conductive layers of the field which uses said mask member as an etching mask, and is not covered by said mask member by using said dielectric layer as an etching halt layer So that the process which removes said 1st conductive layer of the field which is not covered by said dielectric layer or the mask member, said 1st left-behind conductive layer and a dielectric layer, the 2nd conductive layer, and the 3rd conductive layer may be covered The process which forms an interlayer insulation film on said semi-conductor substrate, and the process which forms the contact hole which said interlayer insulation film is penetrated [contact hole] and exposes said a part of 3rd electric conduction film, The process which forms wiring connected to said 3rd electric conduction film through the inside of said contact hole on said interlayer insulation film is included. The lower electrode with which said capacitive element is formed of said 1st conductive layer, the up electrode formed of said 2nd and 3rd conductive layers, And the manufacture approach of a semiconductor device that it is constituted by said dielectric layer pinched between this up electrode and the lower electrode, and said resistance element is constituted by said 1st conductive layer is offered.

[0019] When etching the 3rd and 2nd conductive layers by using a mask member as an etching mask, the up electrode of a capacitive element, a lower electrode, and the gate electrode of MOSFET are formed in coincidence. At the time of etching of the 3rd and 2nd conductive layers, since a dielectric layer acts as an etching halt layer, self align of the lower electrode of a capacitive element is carried out to a dielectric layer, and patterning of it can be carried out.

[0020]

[Embodiment of the Invention] Hereafter, the example of this invention is explained, referring to a drawing.

[0021] Drawing 1 is a flow chart which shows the production process of the analog MOS IC equipment by this example. In addition, only the characteristic process in this example is shown in this flow chart, and the process which is common in the production process of usual MOS IC equipment is skipped.

[0022] Drawing 2 is the top view showing the configuration of the analog MOS IC equipment produced by the process shown in drawing 1 . The capacitive element C formed on the semi-conductor substrate 100, a resistance element R, and the metal wiring M and MOSFET50 are illustrated by drawing 2 . Drawing 3 - drawing 12 are drawings showing signs that sequential formation of each component shown in drawing 2 is carried out by operation of each processes 1a-1h shown in drawing 1 , and support the sectional view in alternate long and short dash line I-I' of drawing 2 . Hereafter, with reference to drawing 3 - drawing 12 , each production process by this example is explained.

[0023] The semi-conductor substrate 100 which consists of silicon shown in drawing 3 is prepared. As shown in drawing 4 , the gate oxide 4 of predetermined thickness is formed on the front face of the semi-conductor substrate 100. Next, the mask film (not shown) which consists of SiN film etc. is formed

on gate oxide 4. The mask film bars formation of the oxide film to the front-face top of the semiconductor substrate 100. The mask film is removed alternatively and it leaves the mask film to the field corresponding to the active region in which MOSFET etc. is formed. Elevated-temperature thermal oxidation processing is performed and thick field oxide 3 is formed in the field to which the mask film was removed. In the active region covered by the mask film, an oxide film was not formed but only thin gate oxide 4 will be formed. The mask film is removed after formation of field oxide 3. Drawing 5 shows this condition.

[0024] As shown in drawing 6, in polish recon deposition process 1a of drawing 1, the polish recon layer 2 is deposited on all the fields on a substrate front face with chemical vapor deposition (CVD). For the material gas used for growth of the polish recon layer 2, the mixed gas of SiH_4 (20%) and N_2 (80%) and a flow rate are [30Pa and the substrate temperature of the pressure at the time of 200sccm(s) and growth] 600 degrees C. If substrate temperature is made quite lower than the above-mentioned temperature, an amorphous silicon will grow instead of polish recon. In this case, if substrate temperature is heated to beyond the above-mentioned temperature, an amorphous silicon will crystallize and it will become polish recon.

[0025] The polish recon layer 2 is made to diffuse impurities, such as Lynn, uniformly in impurity diffusion process 1b of drawing 1, so that high impurity concentration may be set to abbreviation 10^{20}cm^{-3} . Next, in dielectric film formation process 1c, as shown in drawing 7, the dielectric film 1 used as capacity film on the front face of the polish recon layer 2 is deposited on conformal ones. A dielectric film 1 may be constituted from a monolayer of silicon oxide, and is good also as the laminated structure of silicon oxide and a silicon nitride, or a laminated structure of the tantalum oxide film and silicon oxide.

[0026] Moreover, it is good also as a three-tiered structure by which the dielectric film 1 was inserted into the silicon nitride between two-layer silicon oxide. A silicon oxidation nitride may be used instead of a silicon nitride.

[0027] For example, silicon oxide is formed of the plasma excitation mold CVD using the mixed gas which contains tetraethyl orthochromatic silicate (TEOS) and ozone (O_3) as material gas, or CVD using the electron cyclotron-resonance (ECR) plasma.

[0028] Moreover, it is good also as the FOSUFO silicate glass (PSG) film formed by plasma CVD in silicon oxide, or BOROFOUFO silicate glass (BPSG) film. moreover, silicon oxide — thermal oxidation of the polish recon film — you may form — a spin-on glass (SOG) — you may form by law. The ingredient and thickness of a dielectric film are chosen so that the suitable electrostatic capacity C may be obtained on both sides of this dielectric film.

[0029] In 1d of polish recon deposition processes shown in drawing 1, polish recon layer 6a of a two-layer eye is deposited by CVD on a dielectric film 1. Deposition of polish recon layer 6a performs SiH_4 and N_2 using the gas mixed at a rate of 2:8 under conditions with the pressure of 30Pa, a flow rate 200sccm, and a substrate temperature of 600 degrees C. If substrate temperature is made quite lower than the above-mentioned temperature, an amorphous silicon will accumulate instead of polish recon. In this case, by heating a substrate beyond the above-mentioned temperature, an amorphous silicon can be crystallized and it can be made polish recon.

[0030] Like the case of the lower layer polish recon layer 2, impurities, such as Lynn, are doped to polish recon layer 6a so that high impurity concentration may be set to abbreviation 10^{20}cm^{-3} .

[0031] By heat-treating before 1d of polish recon deposition processes of the two-layer eye shown in drawing 1, the dependability of the capacitive element C finally formed can be raised. By the eburnation of a dielectric film, since a physical property is improved, this is considered that a dielectric film is electric and because polish recon layer 6a stops being able to separate easily due to DEGASU from the dielectric film at the time of heat treatment before and behind deposition of polish recon layer 6a, and stress change. Especially, the adhesion between polish recon layer 6a and a dielectric film 1 becomes stronger. Re-diffusion of the impurity in the polish recon layer 2 can also be prevented.

[0032] In patterning process 1e of drawing 1 , photoresists, such as a novolak system photoresist, are applied on the front face of polish recon layer 6a. A photoresist is exposed and removed alternatively and it leaves a photoresist pattern to the field which should form a capacitive element C and a resistance element R. As shown in drawing 8 , the left-behind photoresist pattern is used as an etching mask, and polish recon layer 6a and a dielectric film 1 are removed. Thus, polish recon layer 6a and a dielectric film 1 are removed alternatively, and it leaves these laminated structures to the field in which a capacitive element C and a resistance element R should be formed.

[0033] Microwave plasma etching (frequency of 2.45GHz) or ECR plasma etching performs removal of polish recon layer 6a under the conditions of the number mTorr of pressures, using the mixed gas of Cl₂ and O₂, CF₄ gas, or SF₆ gas as etching gas.

[0034] Surface treatment of the polish recon layer 2 which serves as a gate electrode of MOSFET behind is performed with etching of a dielectric film 1. Therefore, it is desirable to use the etching approach that a substrate can be maintained at clarification and the etch selectivity of a dielectric film to a polish recon layer becomes high. For example, when a dielectric film 1 is the laminated structure which has silicon oxide in a lower layer, dry etching removes the upper layer and the buffered fluoric acid (HF+NH₄F+ (H₂O)) in which stable etching is possible removes lower layer silicon oxide. RF plasma etching may remove the upper layer under the conditions of pressure 160mTorr, using the mixed gas of CF₄ and CHF₃ as etching gas. At this time, RF power is set to about 700W, and a frequency is set to 13.56MHz.

[0035] As shown in drawing 8 , after etching polish recon layer 6a and a dielectric film 1, the photoresists 5a and 5b on a capacitive element C and a resistance element R are removed. The left-behind dielectric film demarcates the lower layer electrode and resistance element of a capacitive element.

[0036] In 1f of refractory metal silicide layer deposition processes of drawing 1 , as shown in drawing 9 , refractory metal silicide layer 6b, such as WSix, is deposited, and it is a wrap to conformal one about the polish recon layers 2 and 6a and a dielectric film 1.

[0037] The tungsten silicide (WSix) film is formed of sputtering or CVD. In forming by sputtering, it uses the magnetron sputtering system using Ar as sputtering gas, using WSix as a target. Moreover, deposition of the WSix film is performed under the conditions of the number mTorr of pressures. In forming by CVD, it uses tungsten hexa full ORAIDO (WF₆) and a silane (SiH₄) as material gas, and it is [0038].

[Formula 1]

WSi₂ film is deposited using the reaction of WF₆+2SiH₄ →WSi₂+6 HF+H₂.

[0039] Refractory metal silicide layer 6b is formed of MoSix, TiSix, TaSix, etc. Moreover, refractory metal silicide layer 6b may be formed with a metal instead of refractory metal silicide. In addition, metal silicide may also be included when it is only written as a "metal" in this specification.

[0040] About 1100-degree C heat treatment is performed before formation of an interlayer insulation film after deposition of a refractory metal silicide layer, and the electric resistance of the capacitive element electrode of refractory metal silicide and a polycide gate electrode is reduced.

[0041] As shown in drawing 10 , 1g of patterning processes, such as a gate electrode of drawing 1 , is carried out. A photoresist is first applied on the front face of refractory metal silicide layer 6b. A photoresist is exposed and removed alternatively and it leaves a photoresist pattern to the field in which the gate electrode G of the up electrodes L2 and MOSFET50 of a capacitive element C is formed.

[0042] In 1h of polycide etching processes of drawing 1 , the left-behind photoresist pattern is used as an etching mask, and the usual polycide etching is performed. A polycide electrode is etched using an available ECR plasma etching system from Sumitomo Metal Industries, Ltd. Etching gas is Cl₂+O₂ gas and each quantity of gas flow is 25sccm(s) and 11sccm(s). Moreover, it etches, for example under conditions with about 2 pressure mTorr(s), RF power 40W, RF frequency of 13.56MHz, microwave power 1400W, a microwave frequency [of 2.45GHz], and an electrode temperature of 15-20 degrees C.

[0043] Consequently, high-melting silicide layer 6b and polish recon layer 6a are etched alternatively, and the gate electrode G of the up electrodes L2 and MOSFET of a capacitive element C is formed in coincidence. Moreover, the polish recon layer 2 of the field which is not covered with a dielectric film 1 is removed. In order that a dielectric film 1 may act as an etching halt layer, the lower electrode L1 of a resistance element R and a capacitive element C is formed in the field to which the dielectric film 1 is left behind in self align at coincidence.

[0044] Although a dielectric film 1 acts as an etching halt layer, it is slightly etched by etching gas. In this case, the dielectric film 1 of the field in which the field and resistance element R by which the up electrode L2 is not arranged among capacitive element fields are formed is etched slightly. The dielectric film 1 of a capacitive element field has the thickness almost equal to a dielectric film and the flat-tapped front face on a resistance element R.

[0045] The photoresist patterns 7a and 7b on a refractory metal silicide layer are removed after the etching process of a polycide and polish recon. As shown in drawing 10, in the part corresponding to the gate electrode G, silicide layer 6b is formed on the polish recon layer 2, and a polycide electrode is formed as a whole.

[0046] Subsequently, sequential execution of the same process as manufacture of usual MOS IC equipment is carried out. That is, processes, such as formation of the contact hole CN for the ion implantation for source and drain field 10 formation and thermal diffusion, formation of an interlayer insulation film 20, and electrode ejection, deposition of the metal wiring M, and patterning, are performed one by one.

[0047] When producing MOSFET of low concentration drain (LDD) structure, as shown in drawing 11, the sidewall spacer 8 is formed after polycide etching. The sidewall spacer 8 is formed using the deposition and reactive ion etching (RIE) of an insulator layer by CVD. The analog MOS IC equipment which finally has the cross-section structure shown in drawing 12 is completed. The integrated circuit device produced using the manufacture approach of this example has the gate electrode which has a polish recon layer almost equal to the thickness of the lower electrode of (1) capacitive element, and the lower electrode of the capacitive element which has a top face flat-tapped with the top face of the conductive part of (2) resistance elements.

[0048] Although drawing 3 - drawing 12 showed one MOSFET as a typical example, drawing 13 shows n channel MOS FET50N and the CMOS configuration containing p channel MOS FET50P. In making it a CMOS configuration, before forming field oxide 3, it forms a well in an active region. For example, when a silicon substrate 100 is p mold, n mold well 11 is formed in the field which should form p channel MOS FET50P. N channel MOS FET50N and each gate electrode GN and GP of p channel MOS FET50P are formed in coincidence at the same process as the process to 1h of polycide etching processes shown in drawing 1.

[0049] n mold impurities, such as Lynn, are diffused in the source and 10Ns of drain fields of n channel MOS FET50N, and the source of p channel MOS FET50P and drain field 10P are made to diffuse p mold impurities, such as boron, in the thermal diffusion process for the source and drain field formation. In addition, in order to obtain a desired threshold electrical potential difference, after demarcating an active region in the process shown in drawing 5, the impurity of predetermined concentration may be added to a channel field, after forming the polish recon layer 2 shown in drawing 6, the suitable impurity for the field used as n channel MOS FET50N or the gate electrode of p channel MOS FET50P may be added, and the work function of a gate electrode may be changed.

[0050] As mentioned above, since a capacitive element C, a resistance element R, and the gate electrodes GN and GP are formed of the same production process, the dynamic characteristics and the optimum design of a CMOS transistor are maintained. The high capacitive element C and high resistance element R of precision are easily producible at low cost and a short process.

[0051] Drawing 14 is shown as the capacitor of Si/SiO₂ / Si structure, and a function of the bias voltage which impresses change of the electrostatic capacity of the capacitive element of Si/SiO₂ /

metal structure to inter-electrode. An axis of abscissa expresses direct-current bias voltage with Unit V, and an axis of ordinate expresses the capacity rate of change when being based on the electrostatic capacity at direct-current bias voltage 0 V:00 with Unit ppm. n mold impurity of high-impurity-concentration $2 \times 10^{20} \text{cm}^{-3}$ is added by both Si electrodes of two capacitive elements. In the case of the capacitive element of Si/SiO₂/metal structure, direct-current bias voltage when impressing a forward electrical potential difference to a metal electrode is made forward.

[0052] Curves p and q show the count result of the capacity rate of change in the clock frequency of 1MHz of the capacitive element of Si/SiO₂/metal structure, and the capacitive element of Si/SiO₂/Si structure, respectively. In addition, the count result is almost the same also considering clock frequency as 10kHz.

[0053] If a forward electrical potential difference is impressed to a metal electrode in the case of the capacitive element of Si/SiO₂/metal structure, an accumulation layer will be formed near the interface by the side of SiO two-layer [of Si layer], and electrostatic capacity will increase. For this reason, if applied voltage is made to increase, as Curve p shows, capacity rate of change will also increase gradually and the electrostatic capacity of the capacitive element of metal / SiO₂/metal structure will be approached. On the contrary, if a negative electrical potential difference is impressed to a metal electrode, a depletion layer will be formed near the interface by the side of SiO two-layer [of Si layer], and electrostatic capacity will decrease. For this reason, if applied voltage is decreased, capacity rate of change will increase to negative sense.

[0054] If bias voltage is impressed in the case of the capacitive element of Si/SiO₂/Si structure, an accumulation layer will be formed in one Si electrode, and a depletion layer will be formed in Si electrode of another side. For this reason, as Curve q shows, compared with the capacitive element of Si/SiO₂/metal structure, the capacity rate of change to applied voltage becomes small.

[0055] Thus, if there are few two electrodes of a capacitive element C, the electrical-potential-difference dependency of electrostatic capacity can be reduced by making it into polish recon near [both] the interface with a dielectric. In addition, it is desirable to make thickness of the polish recon near the interface with a dielectric thicker than the thickness in which a depletion layer is formed so that the above-mentioned consideration may show.

[0056] Furthermore, a capacitive element C, a resistance element R, and the gate electrodes GN and GP are formed at the same process. For this reason, in dielectric film formation process 1c, that elevated-temperature heat treatment for the dielectric film formation which acts as an etching halt layer may be performed does not only need to perform other elevated-temperature heat treatments. Since it is not necessary to perform elevated-temperature heat treatment of multiple times, degradation of the CMOS property by heat treatment can be reduced. Moreover, before performing the ion implantation for LDD structure formation, and the high-concentration ion implantation for the source / drain field formation, heat treatment for noted dielectric film formation is performed. For this reason, even if it performs comparatively hot heat treatment for the membranous improvement of a dielectric film, extent of degradation of a CMOS property can be stopped low.

[0057] When there is an etchback process (sidewall spacer formation) of the CVD film for forming LDD structure, the front face of the polish recon layer which acts as a resistance element is deleted slightly, and dispersion may arise in resistance. However, in the above-mentioned example, by choosing a dielectric film 1 appropriately, a dielectric film 1 can be utilized as an etching protective coat, and it becomes possible to form a highly precise resistance element easily.

[0058] Since the dielectric film 1 used as an etching protective coat is sufficiently thin, even if it is not necessary to remove and leaves as some interlayer insulation films, trouble does not produce it in a semi-conductor production process.

[0059] Furthermore, since the gate electrodes GN and GP have polycide structure, there is little fear of degradation of the CMOS property of the impurity at the time of the ion implantation which is easy to produce in the case of a polish recon monolayer depended for running, and it is unnecessary to change

manufacture conditions.

[0060] Furthermore, since wiring by gate material also has polycide structure, low resistance can be maintained and the high-speed operation of a circuit becomes possible.

[0061] It has the polycide structure where the gate electrode of MOSFET consists of a laminating of a polish recon layer and a refractory metal silicide layer. The polish recon layer which constitutes the lower layer part of polycide gate structure deposits on the lower electrode and coincidence of a capacitive element. The refractory metal silicide layer which constitutes a part for the management of polycide gate structure deposits on the part and coincidence of an up electrode of a capacitive element. For this reason, a capacitive element can be formed only by adding the process which forms the polish recon layer which constitutes the lower layer part of the up electrode of a capacitive element.

[0062] Moreover, the deposition process of the polish recon layer used as the lower electrode of a capacitive element serves as deposition of the polish recon layer for resistance element formation. For this reason, the addition of the process for resistance element formation is avoidable. Moreover, since deposition of the dielectric film in a capacitive element and the dielectric film for the resistance element protection to coincidence are deposited on a resistance element, it is not necessary to add the new process for protective coat formation of a resistance element.

[0063] Next, other examples of this invention are explained with reference to drawing 15 - drawing 18 . The production process from polish recon deposition process 2a of drawing 15 to dielectric film formation process 2c is the same as that of the process from polish recon deposition process 1a to dielectric film formation process 1c shown in drawing 1 .

[0064] As shown in drawing 16 , in 2d of patterning processes of drawing 15 , dielectric films 1 other than the field which forms a capacitive element C and a resistance element R are removed after depositing a dielectric film 1 using a photolithography technique.

[0065] As shown in drawing 17 , polish recon layer 6c is deposited so that the polish recon layer 2 and a dielectric film 1 may be covered. Polish recon layer 6c is deposited by the same approach as polish recon layer 6a of drawing 7 . Next, in 2f of refractory metal silicide layer deposition processes shown in drawing 15 , 6d of refractory metal silicide layers is deposited on polish recon layer 6c by the same approach as refractory metal silicide layer 6b shown in drawing 9 .

[0066] Next, in 2g of patterning processes, such as a gate electrode shown in drawing 15 , a capacitive element C, a resistance element R, and the gate electrode G are formed by the approach explained by drawing 10 and drawing 11 , and the same approach. Furthermore, n channel MOS FET50N and p channel MOS FET50P are formed by the approach explained by drawing 12 and drawing 13 , and the same approach, a contact hole is opened and wiring is formed.

[0067] The integrated circuit device produced using the manufacture approach of an example besides the above has the gate electrode which has a polish recon layer almost equal to the thickness of the sum total of the lower electrode of (1) capacitive element, and the polish recon layer of a two-layer eye, and the lower electrode of the capacitive element which has a top face flat-tapped with the top face of the conductive part of (2) resistance elements.

[0068] Drawing 18 shows the capacitive element C, the resistance element R and n channel MOS FET50N, and the sectional view of p channel MOS FET50P which manufactured in other examples. Only the point that n channel MOS FET50N and the gate electrodes GN and GP of p channel MOS FET50P have the polish recon layers 2 and 6c and 6d [of refractory metal silicide layers] three-tiered structure is the same as that of what shows the structure of a capacitive element C and a resistance element R to drawing 13 unlike the gate electrodes GN and GP shown in drawing 13 .

[0069] Although the gate electrodes GN and GP are three-tiered structures, since two-layer [lower / both] is polish recon layers, if it uses two-layer [this] as the same conductivity type, it will serve as the same structure as the gate electrodes GN and GP substantially shown in drawing 13 . Therefore, the same effectiveness as the example shown in drawing 3 - drawing 12 according to other examples shown

in drawing 15 - drawing 18 R> 8 can be acquired.

[0070] Although the two above-mentioned examples explained the case where polish recon was used as the gate electrode of MOSFET, or an electrode of a capacitive element, an amorphous silicon may be used instead of polish recon.

[0071] Although this invention was explained in accordance with the example above, this invention is not restricted to these. For example, probably, it will be obvious to this contractor for various modification, amelioration, combination, etc. to be possible.

[0072]

[Effect of the Invention] As explained above, according to this invention, the semiconductor device containing each [these] component can be manufactured simple, without [without it causes complication of a production process and large increase of a manufacturing cost, and] degrading sharply the electrical characteristics of MOSFET, a capacitive element, and a resistance element.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a flow chart for explaining the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 2] It is the top view showing the structure of the semiconductor device manufactured by the production process shown in drawing 1 .

[Drawing 3] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 4] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 5] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 6] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 7] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 8] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 9] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 10] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 11] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 12] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 13] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 1 .

[Drawing 14] It is the graph which shows the rate of change of the electrostatic capacity of a capacitive element as a function of the electrical potential difference by which inter-electrode [of a capacitive element] is impressed.

[Drawing 15] It is a flow chart for explaining the manufacture approach of the semiconductor device by other examples of this invention.

[Drawing 16] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 15 .

[Drawing 17] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 15 .

[Drawing 18] It is the sectional view of the substrate for explaining the production process of the semiconductor device shown in drawing 15 .

[Description of Notations]

1 [— Gate oxide, 5a, 5b, 7a, 7b / — A photoresist, 6b 6d / — A refractory metal silicide layer 10 / — The source / drain field 11 / — n mold well, 50 / — MOSFET, 100 / — Semi-conductor substrate] — A dielectric film, 2, 6a, 6c — A polish recon layer, 3 — Field oxide, 4

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349166

(P2000-349166A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8234

H 0 1 L 27/06

1 0 2 A

27/06

27/04

C

27/04

P

21/822

27/08

3 2 1 D

21/8238

3 2 1 N

審査請求 有 請求項の数 3 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-135507(P2000-135507)

(62) 分割の表示 特願平8-76940の分割

(22) 出願日 平成8年3月29日(1996. 3. 29)

(31) 優先権主張番号 08/414761

(32) 優先日 平成7年3月31日(1995. 3. 31)

(33) 優先権主張国 米国 (US)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 高橋 俊行

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72) 発明者 菅 茂

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72) 発明者 牧野 藤八

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(74) 代理人 100091340

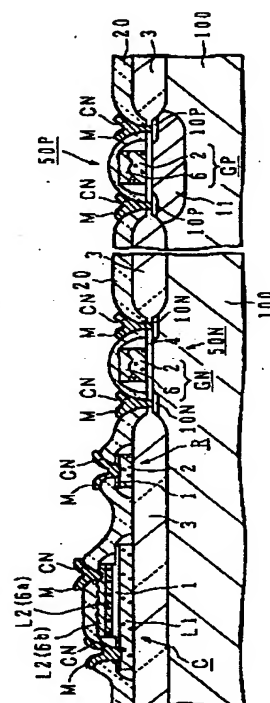
弁理士 高橋 敬四郎 (外2名)

(54) 【発明の名称】 キャパシタを含む半導体装置及びその製造方法

(57) 【要約】

【課題】 過度の工程の複雑化及び製造コストの増大を招くことなく、かつMOSFET及び容量素子の電気的特性を犠牲にすることなく、これら各素子を含んだ半導体装置を提供する。

【解決手段】 半導体基板の表面上にゲート絶縁膜が形成されている。半導体基板の表面上の一部の領域に、第1の電極層、誘電体層、第2の電極層、及び金属もしくは金属シリサイドからなる第3の電極層がこの順番に積層された容量素子が形成されている。第1及び第2の電極層は同一材料で形成されている。ゲート絶縁膜の上の一部の領域に形成され、第1の電極層と同時に堆積された第1のゲート層、及び第3の電極層と同時に堆積された第2のゲート層との積層構造を有するゲート電極が形成されている。容量素子及びゲート電極を覆うように、前記半導体基板上に層間絶縁膜が形成され、その上に配線が形成されている。



(2)

1

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の表面上に形成されたゲート絶縁膜と、
 前記半導体基板の表面上の一部の領域に形成され、第1
 の材料からなる第1の電極層、誘電体層、前記第1の材
 料からなる第2の電極層、及び金属もしくは金属シリサ
 イドからなる第3の電極層がこの順番に積層された容量
 素子と、
 前記ゲート絶縁膜の上の一部の領域に形成され、前記第
 1の電極層と同時に堆積された第1のゲート層、及び前
 記第3の電極層と同時に堆積された第2のゲート層との
 積層構造を有するゲート電極と、
 前記容量素子及びゲート電極を覆うように、前記半導体
 基板上に形成された層間絶縁膜と、
 前記層間絶縁膜を貫通し、前記第3の電極層の上面の一
 部を底面とするコンタクトホールと、
 前記層間絶縁膜の上に形成され、前記コンタクトホール
 内を通して前記第3の電極層に電気的に接続された配線
 とを有する半導体装置。

【請求項2】 半導体基板の表面上に形成されたMOS
 FET、及び下部電極、絶縁膜及び上部電極が前記半導
 体基板上にこの順番に積層されて形成された容量素子を
 含む半導体装置の製造方法において、
 半導体基板の表面上にゲート酸化膜を形成する工程と、
 前記ゲート酸化膜の上に、第1の材料からなる第1の導
 電層を形成する工程と、
 前記第1の導電層の上に誘電体層を形成する工程と、
 前記誘電体層の上に、前記第1の材料からなる第2の導
 電層を形成する工程と、
 前記第2の導電層及び前記誘電体層を部分的にエッチン
 グし、前記容量素子の下部電極に対応する領域に前記第
 2の導電層及び前記誘電体層を残す工程と、
 前記第2の導電層、誘電体層及び第1の導電層を覆うよ
 うに、金属または金属シリサイドからなる第3の導電層
 を形成する工程と、
 前記第3の導電層の上に、前記容量素子の上部電極に対
 応する領域及び前記MOSFETのゲート電極に対応す
 る領域を覆うマスク部材を形成する工程と、
 前記マスク部材をエッチングマスクとし、前記誘電体層
 をエッチング停止層として、前記マスク部材で覆われて
 いない領域の前記第3及び第2の導電層を除去するとと
 もに、前記誘電体層もしくはマスク部材で覆われていな
 い領域の前記第1の導電層を除去する工程と、
 前記マスク部材を除去する工程と、
 残された前記第1の導電層、誘電体層、第2の導電層、
 及び第3の導電層を覆うように、前記半導体基板上に層
 間絶縁膜を形成する工程と、
 前記層間絶縁膜を貫通し、前記第3の導電膜の一部を露
 出させるコンタクトホールを形成する工程と、
 前記層間絶縁膜の上に、前記コンタクトホール内を通
 して前記第3の導電膜に接続された配線を形成する工程と

2

て前記第3の導電膜に接続された配線を形成する工程と
 を含む、

前記容量素子が、前記第1の導電層により形成される下
 部電極、前記第2及び第3の導電層により形成される上
 部電極、及び該上部電極と下部電極との間に挟まれた前
 記誘電体層により構成される半導体装置の製造方法。

【請求項3】 半導体基板の表面上に形成されたMOS
 FET、抵抗素子、及び下部電極、絶縁膜、上部電極が
 前記半導体基板上にこの順番に積層されて形成された容
 量素子を含む半導体装置の製造方法において、
 半導体基板の表面上にゲート酸化膜を形成する工程と、
 前記ゲート酸化膜の上に、第1の材料からなる第1の導
 電層を形成する工程と、
 前記第1の導電層の上に誘電体層を形成する工程と、
 前記誘電体層の上に、前記第1の材料からなる第2の導
 電層を形成する工程と、
 前記第2の導電層及び前記誘電体層を部分的にエッチン
 グし、前記容量素子の下部電極に対応する領域及び前記
 抵抗素子に対応する領域に前記第2の導電層及び前記誘
 電体層を残す工程と、
 前記第2の導電層、誘電体層及び第1の導電層を覆うよ
 うに、金属または金属シリサイドからなる第3の導電層
 を形成する工程と、
 前記第3の導電層の上に、前記容量素子の上部電極に対
 応する領域及び前記MOSFETのゲート電極に対応す
 る領域を覆うマスク部材を形成する工程と、
 前記マスク部材をエッチングマスクとし、前記誘電体層
 をエッチング停止層として、前記マスク部材で覆われて
 いない領域の前記第3及び第2の導電層を除去するとと
 もに、前記誘電体層もしくはマスク部材で覆われていな
 い領域の前記第1の導電層を除去する工程と、
 残された前記第1の導電層、誘電体層、第2の導電層、
 及び第3の導電層を覆うように、前記半導体基板上に層
 間絶縁膜を形成する工程と、
 前記層間絶縁膜を貫通し、前記第3の導電膜の一部を露
 出させるコンタクトホールを形成する工程と、
 前記層間絶縁膜の上に、前記コンタクトホール内を通
 して前記第3の導電膜に接続された配線を形成する工程と
 を含む、
 前記容量素子が、前記第1の導電層により形成される下
 部電極、前記第2及び第3の導電層により形成される上
 部電極、及び該上部電極と下部電極との間に挟まれた前
 記誘電体層により構成され、前記抵抗素子が、前記第1
 の導電層により構成される半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタを含む
 半導体装置及びその製造方法に関し、特に、アナログM
 OS集積回路装置の構成に適した半導体装置及びその製
 造方法に関する。

(3)

3

【0002】

【従来の技術】半導体基板上に、MOSFET（金属－酸化膜－半導体構造の電界効果トランジスタ）等の能動素子、及び容量素子、抵抗素子等の受動素子を形成し、これらの素子を接続する金属配線パターンを形成したアナログ集積回路装置が知られている。従来、この種のアナログ集積回路装置を製作する際に、半導体基板上に容量素子及び抵抗素子を形成する方法として下記の方法が採られていた。

【0003】＜容量素子の形成方法＞

方法1：MOSFETのゲート電極を形成する際に、ゲート電極の材料（以下、ゲート材という）として使用されるポリシリコンまたはポリサイド（ポリシリコンと金属シリサイドとの積層）を用いて容量素子の下部電極を形成する。次に、誘電体膜で下部電極を覆う。誘電体膜の上に、下部電極に対向するようにポリシリコン層等による上部電極を形成する。

【0004】方法2：半導体基板を下部電極として利用する方法である。すなわち、基板表面にゲート酸化膜またはフィールド酸化膜を形成した後、酸化膜表面にゲート材層を堆積し、選択エッチングを施してゲート電極と同時に容量素子の上部電極を形成する。

【0005】方法3：多層配線における層間絶縁膜を利用する方法である。すなわち、ゲート電極と共に容量素子の下部電極を形成し、それらの上部を覆う層間絶縁膜を形成する。層間絶縁膜を挟んで下部電極に対向するように金属層またはゲート材による上部電極を形成する。また、2層配線プロセスを用いて集積回路装置を製造する場合には、下層の金属配線層を用いて下部電極を形成し、層間絶縁膜を挟んで対向するように上層の金属配線層を用いて上部電極を形成する。

【0006】＜抵抗素子の形成方法＞

方法4：半導体基板表面にMOSFETのソース／ドレインとなる拡散層を形成する際に、抵抗素子となる拡散層を形成する。

【0007】方法5：CMOS集積回路装置の場合には、ウェル層を抵抗として利用する。

【0008】方法6：ゲート電極層をパターンニングすることにより抵抗素子を形成する。

【0009】

【発明が解決しようとする課題】上記方法は、下記の制限を有している。

【0010】方法1：ゲート電極を形成した後、容量素子に必要な適切な厚さの絶縁膜を成長させ、さらにその上に上部電極を形成するので、容量素子形成のために追加すべき工程数が多く、製造コストが高くなる。また、これらの追加工程の実施に伴って行われる熱処理により、MOSFETの電気的特性が所望の特性から変化してしまう。

【0011】方法2：下部電極が半導体基板であるの

4

で、下部電極の電位が基板の電位に固定される。従って、容量素子の一方の電極を電源または接地線に接続するような用途にしか適用することができない。ゲート酸化膜またはフィールド酸化膜の膜厚が厚く、目的とする静電容量が大きい場合、容量素子の占有面積が大きくなってしまふ。

【0012】方法3：層間絶縁膜の膜厚が適切でない場合、方法2の場合と同様に、容量素子の占有面積が大きくなってしまふ。また、層間絶縁膜には通常平坦化処理が行われるので、膜厚が均一にならない。また、配線に注意しないと寄生容量の影響を受けやすく設計が容易ではない。

【0013】方法4及び5：拡散層を抵抗素子とするものであるため、拡散層と半導体基板との接合部に介在する大きな寄生容量が抵抗素子に付加される。このため、抵抗素子を構成要素とする回路の動作が寄生容量の悪影響を受ける。

【0014】方法6：集積回路装置の集積度の向上した今日においては、ゲート長の短縮によるゲート抵抗の増大を防止するため、ゲート材としてポリサイドが使用される場合が多い。しかし、ポリサイドの抵抗値を厳密に制御することは困難である。

【0015】本発明の目的は、過度の工程の複雑化及び製造コストの増大を招くことなく、かつMOSFET、容量素子、及び抵抗素子の電気的特性を犠牲にすることなく、これら各素子を含んだ半導体装置を提供することである。

【0016】

【課題を解決するための手段】本発明の一観点によると、半導体基板と、前記半導体基板の表面上に形成されたゲート絶縁膜と、前記半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、前記第1の材料からなる第2の電極層、及び金属もしくは金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と、前記ゲート絶縁膜の上の一部の領域に形成され、前記第1の電極層と同時に堆積された第1のゲート層、及び前記第3の電極層と同時に堆積された第2のゲート層との積層構造を有するゲート電極と、前記容量素子及びゲート電極を覆うように、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜を貫通し、前記第3の電極層の上面の一部を底面とするコンタクトホールと、前記層間絶縁膜の上に形成され、前記コンタクトホール内を通して前記第3の電極層に電気的に接続された配線とを有する半導体装置が提供される。

【0017】本発明の他の観点によると、半導体基板の表面上に形成されたMOSFET、及び下部電極、絶縁膜及び上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、半導体基板の表面上にゲート酸化膜を形成する

(4)

5

工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層の上に、前記第1の材料からなる第2の導電層を形成する工程と、前記第2の導電層及び前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域に前記第2の導電層及び前記誘電体層を残す工程と、前記第2の導電層、誘電体層及び第1の導電層を覆うように、金属または金属シリサイドからなる第3の導電層を形成する工程と、前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程と、前記マスク部材を除去する工程と、残された前記第1の導電層、誘電体層、第2の導電層、及び第3の導電層を覆うように、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜を貫通し、前記第3の導電膜の一部を露出させるコンタクトホールを形成する工程と、前記層間絶縁膜の上に、前記コンタクトホール内を通して前記第3の導電膜に接続された配線を形成する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成される半導体装置の製造方法が提供される。

【0018】本発明のさらに他の観点によると、半導体基板上に形成されたMOSFET、抵抗素子、及び下部電極、絶縁膜、上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層の上に、前記第1の材料からなる第2の導電層を形成する工程と、前記第2の導電層及び前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域及び前記抵抗素子に対応する領域に前記第2の導電層及び前記誘電体層を残す工程と、前記第2の導電層、誘電体層及び第1の導電層を覆うように、金属または金属シリサイドからなる第3の導電層を形成する工程と、前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、

6

前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程と、残された前記第1の導電層、誘電体層、第2の導電層、及び第3の導電層を覆うように、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜を貫通し、前記第3の導電膜の一部を露出させるコンタクトホールを形成する工程と、前記層間絶縁膜の上に、前記コンタクトホール内を通して前記第3の導電膜に接続された配線を形成する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成され、前記抵抗素子が、前記第1の導電層により構成される半導体装置の製造方法が提供される。

【0019】マスク部材をエッチングマスクとして第3及び第2の導電層をエッチングするときに、容量素子の上部電極と下部電極、及びMOSFETのゲート電極が同時に形成される。第3及び第2の導電層のエッチング時に、誘電体層がエッチング停止層として作用するため、容量素子の下部電極を誘電体層に自己整合してパターンニングできる。

【0020】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ説明する。

【0021】図1は、本実施例によるアナログMOS集積回路装置の製造工程を示すフローチャートである。なお、このフローチャートには、本実施例における特徴的な工程のみが示されており、通常のMOS集積回路装置の製造工程と共通する工程は省略されている。

【0022】図2は、図1に示す工程により作製されたアナログMOS集積回路装置の構成を示す平面図である。図2には、半導体基板100上に形成された容量素子C、抵抗素子R、金属配線M及びMOSFET50が例示されている。図3～図12は、図2に示す各素子が図1に示す各工程1a～1hの実施により順次形成されてゆく様子を示す図であり、図2の一点鎖線I-I'における断面図に対応している。以下、図3～図12を参照し本実施例による各製造工程を説明する。

【0023】図3に示されるシリコンからなる半導体基板100を準備する。図4に示すように、半導体基板100の表面上に所定の厚さのゲート酸化膜4を形成する。次に、ゲート酸化膜4の上に、SiN膜等からなるマスク膜(図示せず)を形成する。マスク膜は、半導体基板100の表面上への酸化膜の形成を妨げる。マスク膜を選択的に除去し、MOSFET等が形成される活性領域に対応する領域にマスク膜を残す。高温熱酸化処理を行い、マスク膜の除去された領域に厚いフィールド酸化膜3を形成する。マスク膜で覆われている活性領域では酸化膜が形成されず、薄いゲート酸化膜4のみが形成された状態になる。フィールド酸化膜3の形成後、マス

(5)

7

ク膜を除去する。図5は、この状態を示す。

【0024】図6に示すように、図1のポリシリコン堆積工程1aにおいて、基板表面上の全領域に化学気相成長(CVD)によりポリシリコン層2を堆積する。ポリシリコン層2の成長に使用される原料ガスは、 SiH_4 (20%)と N_2 (80%)との混合ガス、流量は200 sccm、成長時の圧力は30 Pa、基板温度は600℃である。基板温度を上記温度よりもかなり低くすると、ポリシリコンの代わりにアモルファスシリコンが成長する。この場合、基板温度を上記温度以上まで加熱すると、アモルファスシリコンが結晶化してポリシリコンになる。

【0025】図1の不純物拡散工程1bにおいて、不純物濃度が約 10^{20}cm^{-3} になるように、ポリシリコン層2にリン等の不純物を一様に拡散させる。次に、誘電体膜形成工程1cにおいて、図7に示すように、ポリシリコン層2の表面上に容量膜として使用される誘電体膜1をコンフォーマルに堆積する。誘電体膜1は、シリコン酸化膜の単層で構成してもよいし、シリコン酸化膜とシリコン窒化膜との積層構造または酸化タンタル膜とシリコン酸化膜との積層構造としてもよい。

【0026】また、誘電体膜1を、2層のシリコン酸化膜の間にシリコン窒化膜が挟まれた3層構造としてもよい。シリコン窒化膜の代わりにシリコン酸化窒化膜を用いてもよい。

【0027】例えば、シリコン酸化膜は原料ガスとしてテトラエチルオルソシリケート(TEOS)とオゾン(O_3)を含む混合ガスを用いたプラズマ励起型CVDにより、またはエレクトロンサイクロトロン共鳴(ECR)プラズマを用いたCVDにより形成される。

【0028】また、シリコン酸化膜をプラズマCVDで形成されるフォスフォシリケートガラス(PSG)膜またはボロフォスフォシリケートガラス(BPSG)膜としてもよい。また、シリコン酸化膜をポリシリコン膜の熱酸化により形成してもよいし、スピノングラス(SOG)法により形成してもよい。誘電体膜の材料と膜厚は、この誘電体膜を挟んで好適な静電容量Cが得られるように選ぶ。

【0029】図1に示すポリシリコン堆積工程1dにおいて、誘電体膜1の上にCVDにより2層目のポリシリコン層6aを堆積する。ポリシリコン層6aの堆積は、 SiH_4 と N_2 を2:8の割合で混合したガスを用い、圧力30 Pa、流量200 sccm、基板温度600℃の条件の下で行う。基板温度を上記温度よりもかなり低くすると、ポリシリコンに代わってアモルファスシリコンが堆積する。この場合、基板を上記温度以上に加熱することにより、アモルファスシリコンを結晶化してポリシリコンにすることができる。

【0030】下層のポリシリコン層2の場合と同様に、不純物濃度が約 10^{20}cm^{-3} になるように、ポリシリコ

8

ン層6aにリン等の不純物をドーブする。

【0031】図1に示す2層目のポリシリコン堆積工程1dの前に熱処理を行うことにより、最終的に形成される容量素子Cの信頼性を向上させることができる。これは、誘電体膜の緻密化により誘電体膜の電気的、物理的性質が改善されるため、及びポリシリコン層6aの堆積前後の熱処理時の誘電体膜からのデガス及び応力変化によってポリシリコン層6aが剥がれにくくなるためと考えられる。特に、ポリシリコン層6aと誘電体膜1との間の密着性がより強くなる。ポリシリコン層2中の不純物の再拡散を防止することもできる。

【0032】図1のバターニング工程1eにおいて、ポリシリコン層6aの表面上にノボラック系フォトレジスト等のフォトレジストを塗布する。フォトレジストを選択的に露光及び除去して、容量素子C及び抵抗素子Rを形成すべき領域にフォトレジストパターンを残す。図8に示すように、残されたフォトレジストパターンをエッチングマスクとし、ポリシリコン層6aと誘電体膜1を除去する。このようにしてポリシリコン層6aと誘電体膜1を選択的に除去し、容量素子Cと抵抗素子Rが形成されるべき領域にこれらの積層構造を残す。

【0033】ポリシリコン層6aの除去は、エッチングガスとして Cl_2 と O_2 との混合ガス、 CF_4 ガス、または SF_6 ガスを用い、圧力数mTorrの条件下でマイクロ波プラズマエッチング(周波数2.45 GHz)またはECRプラズマエッチングにより行う。

【0034】誘電体膜1のエッチングに伴って、後にMOSFETのゲート電極となるポリシリコン層2の表面処理が行われる。従って、基板を清浄に保つことができ、かつポリシリコン層に対する誘電体膜のエッチング選択比が高くなるようなエッチング方法を用いることが好ましい。例えば、誘電体膜1が下層にシリコン酸化膜を有する積層構造である場合、上層をドライエッチングにより除去し、下層のシリコン酸化膜を安定なエッチングが可能なバッファードフッ酸($\text{HF} + \text{NH}_4\text{F} + (\text{H}_2\text{O})$)等により除去する。上層は、エッチングガスとして CF_4 と CHF_3 との混合ガスを用い、圧力160 mTorrの条件下でRFプラズマエッチングにより除去してもよい。このとき、RFパワーを約700 W、周波数を13.56 MHzとする。

【0035】図8に示すように、ポリシリコン層6aと誘電体膜1をエッチングした後、容量素子Cと抵抗素子Rの上のフォトレジスト5a及び5bを除去する。残された誘電体膜が容量素子の下層電極と抵抗素子を画定する。

【0036】図1の高融点金属シリサイド層堆積工程1fにおいて、図9に示すように WSi_x 等の高融点金属シリサイド層6bを堆積し、ポリシリコン層2、6a及び誘電体膜1をコンフォーマルに覆う。

【0037】タングステンシリサイド(WSi_x)膜

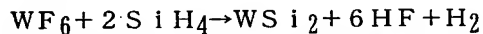
(6)

9

は、スパッタリングまたはCVDにより形成される。スパッタリングにより形成する場合には、例えばターゲットとして WSi_x を用い、スパッタリングガスとして Ar を用いたマグネトロンスパッタリング装置を使用する。また、 WSi_x 膜の堆積は圧力数 $mTorr$ の条件下で行う。CVDにより形成する場合には、例えば原料ガスとしてタングステンヘキサフルオライド(WF_6)とシラン(SiH_4)を用い、

【0038】

【化1】



の反応を利用して WSi_2 膜を堆積する。

【0039】高融点金属シリサイド層6bは、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ 等により形成される。また、高融点金属シリサイド層6bを高融点金属シリサイドの代わりに金属で形成してもよい。なお、本明細書中で単に「金属」と表記した場合、金属シリサイドをも含む場合がある。

【0040】高融点金属シリサイド層の堆積後、層間絶縁膜の形成前に約 $1100^\circ C$ の熱処理を行い、高融点金属シリサイドの容量素子電極とポリサイドゲート電極の電気抵抗を低減させる。

【0041】図10に示すように、図1のゲート電極等のパターンニング工程1gを実施する。まず、最初に高融点金属シリサイド層6bの表面上にフォトレジストを塗布する。フォトレジストを選択的に露光及び除去し、容量素子Cの上部電極L2とMOSFET50のゲート電極Gが形成される領域にフォトレジストパターンを残す。

【0042】図1のポリサイドエッチング工程1hにおいて、残されたフォトレジストパターンをエッチングマスクとし、通常のポリサイドエッチングを行う。ポリサイド電極は、住友金属工業株式会社から入手可能なECRプラズマエッチング装置を用いてエッチングされる。エッチングガスは、 $Cl_2 + O_2$ ガスであり、それぞれのガス流量が $25sccm$ と $11sccm$ である。また、例えば圧力約 $2mTorr$ 、RF電力 $40W$ 、RF周波数 $13.56MHz$ 、マイクロ波パワー $1400W$ 、マイクロ波周波数 $2.45GHz$ 、電極温度 $15 \sim 20^\circ C$ の条件下でエッチングを行う。

【0043】この結果、高融点シリサイド層6bとポリシリコン層6aが選択的にエッチングされ、容量素子Cの上部電極L2及びMOSFETのゲート電極Gが同時に形成される。また、誘電体膜1で覆われていない領域のポリシリコン層2が除去される。誘電体膜1がエッチング停止層として作用するため、抵抗素子Rと容量素子Cの下部電極L1が誘電体膜1に残されている領域に自己整合的に同時に形成される。

【0044】誘電体膜1はエッチング停止層として作用するが、エッチングガスによりわずかにエッチングされ

10

る。この場合、容量素子領域のうち上部電極L2の配置されていない領域及び抵抗素子Rが形成される領域の誘電体膜1がわずかにエッチングされる。容量素子領域の誘電体膜1は、抵抗素子R上の誘電体膜とほぼ等しい厚さ及び面一な表面を有する。

【0045】ポリサイド及びポリシリコンのエッチング工程の後、高融点金属シリサイド層上のフォトレジストパターン7a、7bを除去する。図10に示すように、ゲート電極Gに対応する部分では、ポリシリコン層2の上にシリサイド層6bが形成され、全体としてポリサイド電極が形成される。

【0046】次いで、通常MOS集積回路装置の製造と同様の工程を順次実行する。すなわち、ソース及びドレイン領域10形成のためのイオン注入及び熱拡散、層間絶縁膜20の形成、電極取り出しのためのコンタクトホールCNの形成、金属配線Mの堆積とパターニング等の工程を順次行う。

【0047】低濃度ドレイン(LDD)構造のMOSFETを作製する場合は、図11に示すように、ポリサイドエッチングの後、サイドウォールスペーサ8を形成する。サイドウォールスペーサ8は、CVDによる絶縁膜の堆積とリアクティブイオンエッチング(RIE)を用いて形成する。最終的に、図12に示す断面構造を有するアナログMOS集積回路装置が完成する。本実施例の製造方法を用いて作製した集積回路装置は、(1)容量素子の下部電極の厚さにほぼ等しいポリシリコン層を有するゲート電極と、(2)抵抗素子の導電性部分の上面と面一の上面を有する容量素子の下部電極とを有する。

【0048】図3～図12では、典型的な例として1つのMOSFETを示したが、図13はnチャネルMOSFET50NとpチャネルMOSFET50Pを含むCMOS構成を示す。CMOS構成にする場合には、フィールド酸化膜3を形成する前に活性領域にウェルを形成する。例えば、シリコン基板100がp型である場合には、pチャネルMOSFET50Pを形成すべき領域にn型ウェル11を形成する。nチャネルMOSFET50NとpチャネルMOSFET50Pのそれぞれのゲート電極GN、GPは、図1に示すポリサイドエッチング工程1hまでの工程と同一の工程で同時に形成される。

【0049】ソース及びドレイン領域形成のための熱拡散工程において、nチャネルMOSFET50Nのソース及びドレイン領域10Nには、リン等のn型不純物を、pチャネルMOSFET50Pのソース及びドレイン領域10Pには、ボロン等のp型不純物を拡散させる。なお、所望のしきい値電圧を得るために、図5に示す工程において活性領域を画定した後、チャネル領域に所定濃度の不純物を添加してもよいし、図6に示すポリシリコン層2を形成後、nチャネルMOSFET50NもしくはpチャネルMOSFET50Pのゲート電極となる領域に適当な不純物を添加してゲート電極の仕事関

(7)

11

数を変化させてもよい。

【0050】上述のように、容量素子C、抵抗素子R、ゲート電極GN、GPが同一製造工程により形成されるため、CMOSトランジスタの動特性や最適設計が維持される。精度の高い容量素子Cと抵抗素子Rを低コストかつ短工程で容易に作製することができる。

【0051】図14は、 $Si/SiO_2/Si$ 構造のキャパシタと、 Si/SiO_2 /金属構造の容量素子の静電容量の変化を電極間に印加するバイアス電圧の関数として示す。横軸は直流バイアス電圧を単位Vで表し、縦軸は直流バイアス電圧0V時の静電容量を基準としたときの容量変化率を単位ppmで表す。2つの容量素子のSi電極にはともに不純物濃度 $2 \times 10^{20} \text{ cm}^{-3}$ のn型不純物が添加されている。 Si/SiO_2 /金属構造の容量素子の場合、金属電極に正電圧を印加したときの直流バイアス電圧を正としている。

【0052】曲線p及びqは、それぞれ Si/SiO_2 /金属構造の容量素子及び $Si/SiO_2/Si$ 構造の容量素子の動作周波数1MHzにおける容量変化率の計算結果を示す。なお、動作周波数を10kHzとしても計算結果はほぼ同一である。

【0053】 Si/SiO_2 /金属構造の容量素子の場合、金属電極に正電圧を印加すると、Si層の SiO_2 層側の界面近傍に蓄積層が形成され、静電容量が増加する。このため、印加電圧を増加させると曲線pで示すように、容量変化率も徐々に増加し、金属/ SiO_2 /金属構造の容量素子の静電容量に近づく。逆に、金属電極に負の電圧を印加すると、Si層の SiO_2 層側の界面近傍に空乏層が形成され、静電容量が減少する。このため、印加電圧を減少させると容量変化率が負の向きに増加する。

【0054】 $Si/SiO_2/Si$ 構造の容量素子の場合には、バイアス電圧を印加すると一方のSi電極に蓄積層が形成され、他方のSi電極に空乏層が形成される。このため、曲線qで示すように Si/SiO_2 /金属構造の容量素子に比べて印加電圧に対する容量変化率が小さくなる。

【0055】このように、容量素子Cの2つの電極の少なくて誘電体との界面近傍を共にポリシリコンとすることにより、静電容量の電圧依存性を低減することができる。なお、上記考察からわかるように、誘電体との界面近傍のポリシリコンの厚さを空乏層が形成される厚さよりも厚くすることが好ましい。

【0056】さらに、容量素子C、抵抗素子R、及びゲート電極GN、GPが同一工程で形成される。このため、誘電体膜形成工程1cにおいて、エッチング停止層として作用する誘電体膜形成のための高温熱処理を行うのみでよく、その他の高温熱処理を行う必要がない。複数回の高温熱処理を行う必要がないため、熱処理によるCMOS特性の劣化を低減することができる。また、L

12

DD構造形成のためのイオン注入やソース/ドレイン領域形成のための高濃度のイオン注入を行う前に、名誘電体膜形成のための熱処理を行う。このため、誘電体膜の膜質改善のための比較的高温の熱処理を施しても、CMOS特性の劣化の程度を低く抑えられる。

【0057】LDD構造を形成するためのCVD膜のエッチバック工程（サイドウォールスペース形成）がある場合には、抵抗素子として作用するポリシリコン層の表面がわずかに削られ、抵抗値にばらつきが生ずる場合がある。しかし、上記実施例では、誘電体膜1を適切に選択することにより、誘電体膜1をエッチング保護膜として活用することができ、高精度の抵抗素子を容易に形成することが可能になる。

【0058】エッチング保護膜として用いた誘電体膜1は十分薄いため、除去する必要はなく、層間絶縁膜の一部として残しても半導体製造工程に支障が生ずることはない。

【0059】さらに、ゲート電極GN及びGPがポリサイド構造を有するため、ポリシリコン単層の場合に生じやすいイオン注入時の不純物の突き抜けによるCMOS特性の劣化の恐れが少なく、製造条件を変更することは不要である。

【0060】さらに、ゲート材による配線もポリサイド構造を有するため、低抵抗を維持することができ、回路の高速動作が可能になる。

【0061】MOSFETのゲート電極が、ポリシリコン層と高融点金属シリサイド層との積層からなるポリサイド構造を有する。ポリサイドゲート構造の下層部分を構成するポリシリコン層が容量素子の下部電極と同時に堆積される。ポリサイドゲート構造の上層部分を構成する高融点金属シリサイド層が容量素子の上部電極の一部と同時に堆積される。このため、容量素子の上部電極の下層部分を構成するポリシリコン層を形成する工程を追加するのみで容量素子を形成することができる。

【0062】また、容量素子の下部電極となるポリシリコン層の堆積工程が、抵抗素子形成のためのポリシリコン層の堆積を兼ねている。このため、抵抗素子形成のための工程の追加を回避することができる。また、容量素子中の誘電体膜の堆積と同時に抵抗素子保護のための誘電体膜を抵抗素子上に堆積しているため、抵抗素子の保護膜形成のための新たな工程を追加する必要がない。

【0063】次に、図15～図18を参照して、本発明の他の実施例について説明する。図15のポリシリコン堆積工程2aから誘電体膜形成工程2cまでの製造工程は、図1に示すポリシリコン堆積工程1aから誘電体膜形成工程1cまでの工程と同様である。

【0064】図16に示すように、誘電体膜1を堆積後、図15のパターニング工程2dにおいて、フォトリソグラフィ技術を用い、容量素子C及び抵抗素子Rを形成する領域以外の誘電体膜1を除去する。

(8)

13

【0065】図17に示すように、ポリシリコン層2及び誘電体膜1を覆うようにポリシリコン層6cを堆積する。ポリシリコン層6cは、図7のポリシリコン層6aと同様の方法で堆積する。次に、図15に示す高融点金属シリサイド層堆積工程2fにおいて、ポリシリコン層6cの上に、図9に示す高融点金属シリサイド層6bと同様の方法で、高融点金属シリサイド層6dを堆積する。

【0066】次に、図15に示すゲート電極等のパターンニング工程2gにおいて、図10、図11で説明した方法と同様の方法で、容量素子C、抵抗素子R及びゲート電極Gを形成する。さらに、図12及び図13で説明した方法と同様の方法でnチャネルMOSFET50NとpチャネルMOSFET50Pを形成し、コンタクトホールを開け、配線を形成する。

【0067】上記他の実施例の製造方法を用いて作製した集積回路装置は、(1)容量素子の下部電極と2層目のポリシリコン層との合計の厚さにほぼ等しいポリシリコン層を有するゲート電極と、(2)抵抗素子の導電性部分の上面と面一の上面を有する容量素子の下部電極とを有する。

【0068】図18は、他の実施例で製造した容量素子C、抵抗素子R及びnチャネルMOSFET50NとpチャネルMOSFET50Pの断面図を示す。nチャネルMOSFET50NとpチャネルMOSFET50Pのゲート電極GN及びGPがポリシリコン層2と6c及び高融点金属シリサイド層6dとの3層構造になっている点のみが図13に示すゲート電極GN、GPと異なり、容量素子C及び抵抗素子Rの構造は図13に示すものと同様である。

【0069】ゲート電極GN、GPは3層構造であるが、下の2層は共にポリシリコン層であるため、この2層を同一導電型にすれば実質的に図13に示すゲート電極GN、GPと同一構造となる。従って、図15～図18に示す他の実施例によっても図3～図12に示す実施例と同様の効果を得ることができる。

【0070】上記2つの実施例ではMOSFETのゲート電極あるいは容量素子の電極としてポリシリコンを使用した場合について説明したが、ポリシリコンの代わりにアモルファスシリコンを用いてもよい。

【0071】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0072】

【発明の効果】以上説明したように、本発明によれば、製造工程の複雑化、製造コストの大幅な増大を招くこと

14

なく、かつMOSFET、容量素子及び抵抗素子の電気的特性を大幅に劣化させることなく、これら各素子を含んだ半導体装置を簡便に製造することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法を説明するためのフローチャートである。

【図2】 図1に示す製造工程により製造される半導体装置の構造を示す平面図である。

【図3】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図4】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図5】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図6】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図7】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図8】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図9】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図10】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図11】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図12】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図13】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図14】 容量素子の静電容量の変化率を、容量素子の電極間に印加される電圧の関数として示すグラフである。

【図15】 本発明の他の実施例による半導体装置の製造方法を説明するためのフローチャートである。

【図16】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

【図17】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

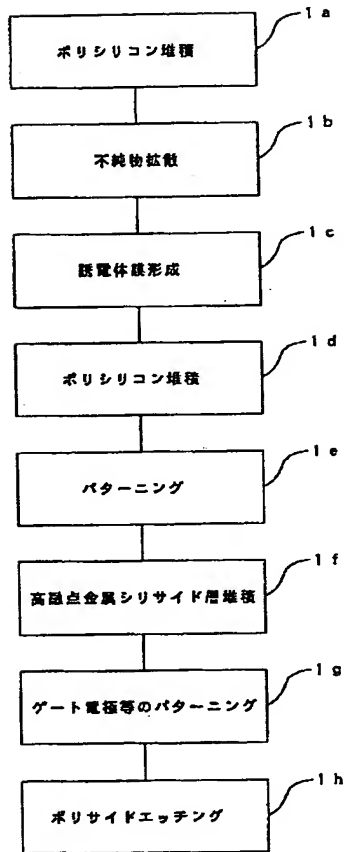
【図18】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

【符号の説明】

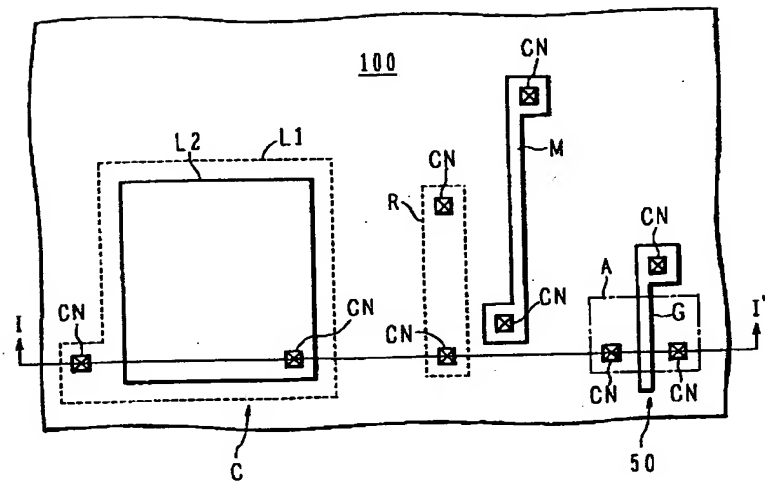
1…誘電体膜、2、6a、6c…ポリシリコン層、3…フィールド酸化膜、4…ゲート酸化膜、5a、5b、7a、7b…フォトリソ、6b、6d…高融点金属シリサイド層、10…ソース/ドレイン領域、11…n型ウェル、50…MOSFET、100…半導体基板

(9)

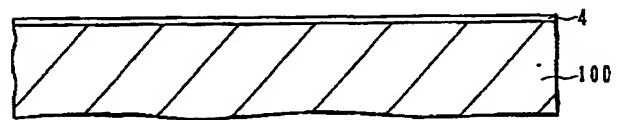
【図 1】



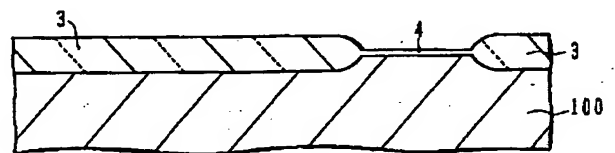
【図 2】



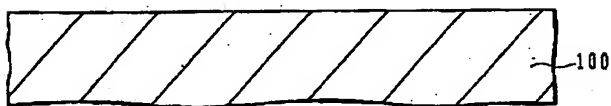
【図 4】



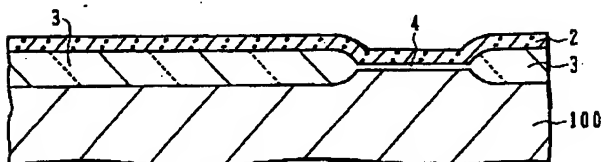
【図 5】



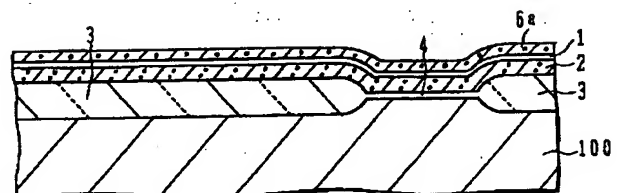
【図 3】



【図 6】

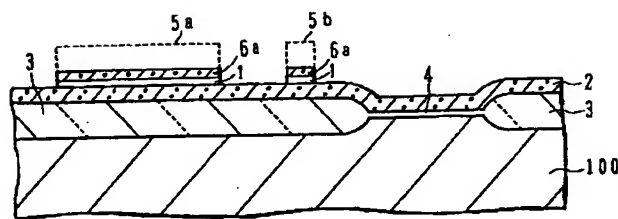


【図 7】

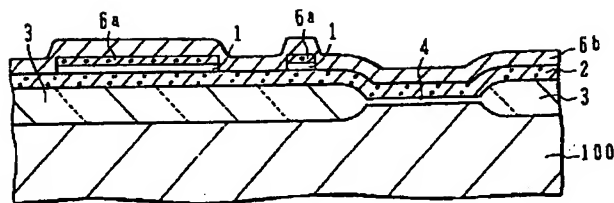


(10)

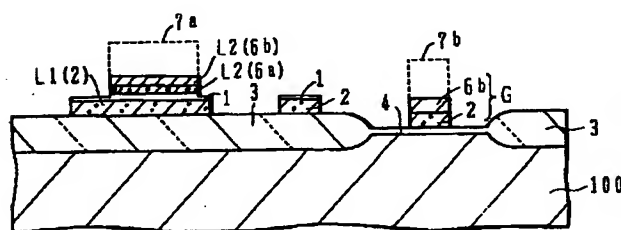
【図8】



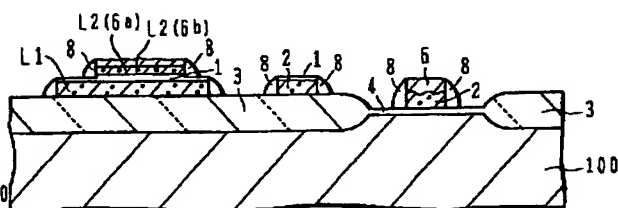
【図9】



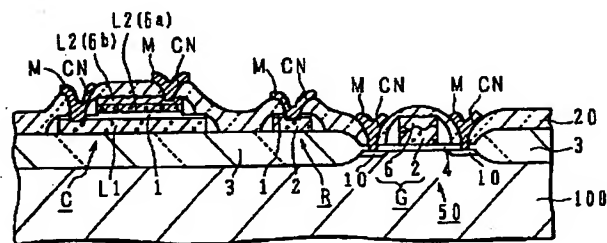
【図10】



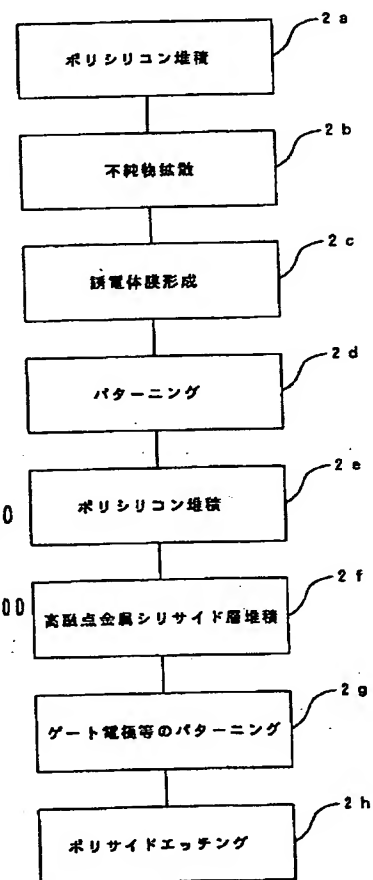
【図11】



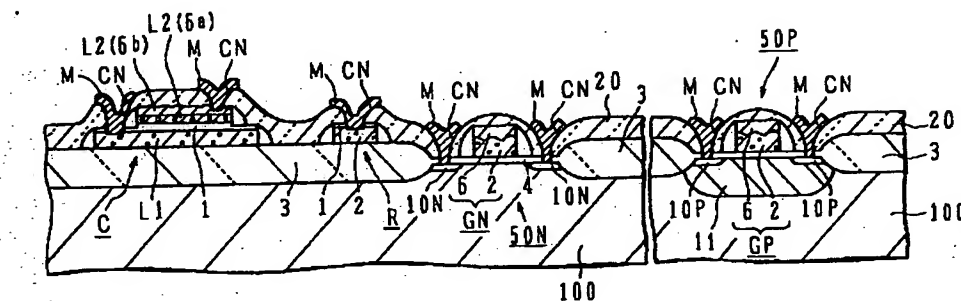
【図12】



【図15】



【図13】



【図16】

